

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-45007

(43)公開日 平成7年(1995)2月14日

(51)Int.Cl.
G 11 B 20/14
7/00
19/06
20/10

識別記号 庁内整理番号
3 5 1 A 8322-5D
R 9464-5D
5 0 1 L 7525-5D
B 7736-5D
8224-5D

F I
G 11 B 27/10
A

技術表示箇所

審査請求 未請求 請求項の数8 O.L (全11頁) 最終頁に統く

(21)出願番号 特願平6-115498
(22)出願日 平成6年(1994)5月27日
(31)優先権主張番号 特願平5-127198
(32)優先日 平5(1993)5月28日
(33)優先権主張国 日本 (JP)

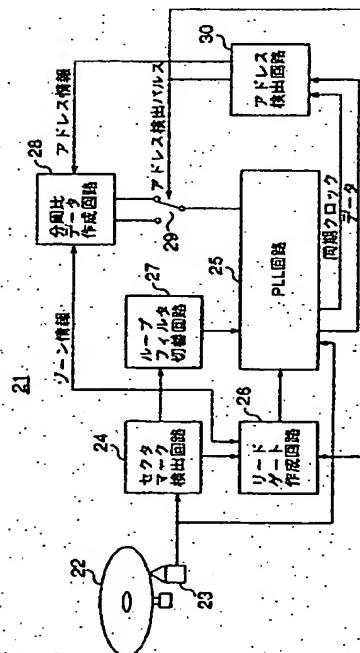
(71)出願人 000003676
ティック株式会社
東京都武蔵野市中町3丁目7番3号
(72)発明者 久保 充正
東京都武蔵野市中町3丁目7番3号 ティ
ック株式会社内
(72)発明者 設楽 清
東京都武蔵野市中町3丁目7番3号 ティ
ック株式会社内
(74)代理人 弁理士 伊東 忠彦

(54)【発明の名称】光ディスク装置

(57)【要約】

【目的】本発明は、最初のセクタでアドレスを検出できるほど短時間でMCAVディスクを立ち上げてセクタアドレスを読み取る光ディスク装置を提供することを目的とする。

【構成】異なった数のセクタを含む複数のゾーンを有した光ディスクに情報を記録及び再生する光ディスク装置は、光ヘッドが位置される現在のゾーンを特定するゾーン特定ユニットと、現在のゾーンに対応する周波数の同期信号を生成する同期信号生成ユニットよりなり、その同期信号は光ディスクからの再生信号を読むために用いられる。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】 異なった数のセクタを含む複数のゾーンを有した光ディスクに情報を記録及び再生する光ディスク装置において、
光ヘッドが位置される現在のゾーンを特定するゾーン特定手段と、
該現在のゾーンに対応する周波数であって、前記光ディスクからの再生信号を読むための同期信号を生成する同期信号生成手段を有することを特徴とする光ディスク装置。

【請求項2】 該ゾーン特定手段は、前記再生信号から該現在のゾーンにあるセクタのセクタマークを検出するセクタマーク検出手段を有し、該セクタマークは各セクタの先頭に記録されることを特徴とする請求項1記載の光ディスク装置。

【請求項3】 該同期信号生成手段は、
異なった周波数特性を有する複数のループフィルタを含み同期信号を生成するPLL回路と、
該現在ゾーンの位置をもとに該複数のループフィルタの一つを選択する選択手段を有することを特徴とする請求項2記載の光ディスク装置。

【請求項4】 該同期信号生成手段は、該現在のゾーン位置を基に前記同期信号の周波数を変化させる手段を更に有することを特徴とする請求項3記載の光ディスク装置。

【請求項5】 該同期信号に同期した前記再生信号から該現在のゾーンにあるセクタのアドレスを検出するアドレス検出手段を更に有することを特徴とする請求項1記載の光ディスク装置。

【請求項6】 該同期信号生成手段が該セクタマークの検出から第1の所定長の期間のみ前記再生信号を受け取るようにするゲート手段を更に有することを特徴とする請求項2記載の光ディスク装置。

【請求項7】 該セクタマーク検出手手段はセクタマーク長を検出し、該第1の所定長は該セクタマーク長に比例することを特徴とする請求項6記載の光ディスク装置。

【請求項8】 該セクタマーク検出手手段は、該セクタマーク検出手手段が該セクタマークの検出から第2の該セクタマーク長に比例する期間セクタマークを検出することを妨げるマスク手段を有することを特徴とする請求項7記載の光ディスク装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般にはディスク装置に関し、詳しくは光ディスクにMCAV方式で記録されているセクタマークを検出し、アドレスを読み取る機能を有した光ディスク装置に関する。

【0002】

【従来の技術】光ディスクの記憶容量を大きくし、情報を信頼度高く目標アドレスへ記録しまた再生するための

2

様々な種類の記録フォーマットが、光ディスク装置（ディスクドライブとも呼ぶ）に関して提案されている。それらの記録フォーマットには、セクタ配置による分類として、CLV（Constant Linear Velocity）、CAV（Constant Angular Velocity）、MCLV（Modified CLV）、MCAV（Modified CAV）がある。MCLVは、CLVにおけるスピンドルモータの変速制御を簡易化したものであり、MCAVはCAV方式の記憶容量を大きくしたものである。

【0003】CAV方式のディスクには、ディスクの内周から外周までの各トラックに同数のセクタが存在している。ディスクは所定の一定回転数で回転するため、ディスクから再生される信号の周波数はディスク全体にわたって一定である。ディスクに情報を記録再生するためには、所定の周波数の基準クロックで読み出した信号をサンプルすることで、各セクタの先頭にあるセクタマークが検出され、セクタマークに続くVFOと呼ばれる部分に格納された信号に基づいて、PLL（Phase Locked Loop）等を用いて読みだしクロックが再生信号にロックされる。次に、VFOに続く部分に記録されたセクタアドレスが、すでにロックされた読みだしクロックにより読まれ、それによりセクタアドレスが検出される。セクタマークはセクタの先頭を示すマークであり、所定周波数の基準クロックによって検出することができる必要があるので、セクタマークは他の信号より長いマーク長とより強い信号出力を有するか、または異なるバターンで記録されている。VFOに記録された信号は、読みだしクロックを再生信号周波数にロックするために用いられるよう設計されたデータパターンであり、ディスク回転に変動があっても信号が再生され得ることを確実にする。

【0004】CAV方式のディスクとMCAV方式のディスク両方において、セクタマーク、VFO、セクタアドレスなどからなるセクタ先頭の部分は、セクタのアドレス部と呼ばれ、このアドレス部のセクタマーク以外の部分は、ID領域と呼ばれる。典型的には、セクタ内で1つのセクタマークに続いて複数のID領域があり、ディスク装置が誤りなくセクタアドレスを検出できることを確実にする。

【0005】CAV方式のディスクに対して、MCAV方式のディスクには、内周から外周に向かうにつれてより数多くのセクタが存在し、記憶容量の増大がはかれている。図8は、光ディスク11にMCAV方式でディスクフォーマットさせたときのセクタ配置を示す。光ディスク11には、渦巻状にトラック12が形成され、ゾーン13a、13b、…によってセクタ数が異なるように配置されており、内周から外周まで数ゾーンから数十ゾーン存在する。MCAV方式ではディスクは一定の回転数で回転されるため、各ゾーンによって記録及び

再生の読みだしクロックが異なり外周に行くほどその周波数が高くなる。

【0006】

【発明が解決しようとする課題】このMCAV方式のディスクをCAV方式のディスク装置で立ち上げる、即ち情報の記録・再生に用意させるためには、所定の位置にヘッドを移動させ、所定の周波数の読みだしクロックがこの既知のゾーン位置から読み出しを始める。他の立ち上げの方法としては、ディスクを一定の回転数で回転する一方で、読みだし基準クロックを徐々に変化させ、ディスクの記録周波数とディスク装置の読みだし基準クロックが一致したところで読み出しを始める。しかしこれらのような方法は、最初のセクタでアドレスを検出できるほど短時間でディスク装置を立ち上げてアドレスを読み取ることができない。

【0007】従って、MCAV方式のディスク装置の分野において、ディスク立ち上げ時間を短縮して最初のセクタからアドレス読取を行う装置に対する必要性が存在する。

【0008】従って、上記の必要性を満たす光ディスク装置を提供することが本発明の一般的な目的である。

【0009】本発明の他のそしてより詳細な目的は、最初のセクタでアドレスを検出できるほど短時間でMCAVディスクを立ち上げてセクタアドレスを読み取る光ディスク装置を提供することである。

【0010】

【課題を解決する手段】本発明は、異なった数のセクタを含む複数のゾーンを有した光ディスクに情報を記録及び再生する光ディスク装置であって、この光ディスク装置は、光ヘッドが位置された現在のゾーンを特定するためのゾーン特定手段と、この現在のゾーンに対応する周波数の同期信号を生成する同期信号生成手段によりなり、ここでこの同期信号は光ディスクから再生信号を読み取るために用いられる。

【0011】本発明の好ましい実施例において、同期信号生成手段は、異なった周波数特性を有する複数のループフィルタを含み同期信号を生成するPLL回路と、光ヘッドの現在のゾーン位置を基に複数のループフィルタの一つを選択する選択手段によりなる。

【0012】

【作用】ゾーン特定手段は光ヘッドが位置された現在のゾーン位置を最初のセクタから特定し、従って、同期信号生成手段が同期信号を最初のセクタから生成する。

【0013】選択手段が、光ヘッドの現在のゾーン位置を基に、PLL回路内の異なる周波数特性の複数のループフィルタの内の一つを選択することで、PLL回路は広い周波数範囲の再生信号にロックされる。

【0014】

【実施例】図1は本発明の一実施例の構成図である。図1の光ディスク装置21は、アドレスを読み取るための

構成を示したものであり、記録再生のための構成は従来と同様でありここには示されていない。この光ディスク装置21は、光ディスク22、光ヘッド23、セクタマーク検出回路24、PLL回路25、リードゲート作成回路26、ループフィルタ切替回路27、分周比データ作成回路28、切替部29、アドレス検出回路30となりなる。

【0015】光ディスク22は、図8に示されるようなMCAV方式であり、異なった数のセクタを含む所定数のゾーンを有する。これらのセクタは、セクタマークが付けられたアドレス部を有する。ここでは、各セクタのアドレス部は、セクタマークの他に、VFO(繰り返しデータパターン)、AM(アドレスマーク)等をそれぞれが含むID領域を少なくとも3個備えている。

【0016】図1において、光ディスク22に記録された信号が光ヘッド23によって再生され、その再生信号は、セクタマーク検出回路24及びPLL回路25に送られる。セクタマーク検出回路24は、セクタマークをこの再生信号から検出し、セクタマーク検出パルスをリードゲート作成回路26に後で説明される他の信号と共に送る。セクタマーク検出回路24はまた、ディスク上の現在のゾーン位置を特定してゾーン情報を生成し、このゾーン情報は、PLL回路25へリードゲート信号を供給するためのリードゲート作成回路26に送られる。このゾーン情報はまた、PLL回路25のループフィルタを切替るためのループフィルタ切替回路27、及びPLL回路25の分周器の分周比を変更するための分周比データ回路28に送られる。

【0017】リードゲート作成回路26は、セクタマーク検出回路24からのセクタマーク検出パルスを受け取るとPLL回路25のリードゲートを開き、これによりPLL回路25は光ヘッド23からの再生信号を読み取り始める。

【0018】ループフィルタ切替回路27は、セクタマーク検出回路24によって供給されたゾーン情報を基にして、PLL回路25が適切に光ディスク22からの再生周波数にロックされるように、PLL回路25内蔵の複数のループフィルタのうちの1つのループフィルタを選択する。これらのループフィルタの役割及び機能とPLL回路25の説明は後述する。この実施例においては、ループフィルタの数は2つである。この場合、ループフィルタ切替回路27は、現在のゾーン位置がディスク外周側半分にあるあるいは内周側半分にあるか、即ち再生信号周波数が高周波側か低周波側かを決定する。本実施例では再生信号周波数20MHzを境界として、ループフィルタ切替回路27は、高周波側ならPLL回路25内の高周波フィルタを、低周波側なら低周波フィルタを選択する。このループフィルタの選択は、ループフィルタ切替回路27からPLL回路25への接続線を介して行われる。

5

【0019】分周比データ作成回路28は、セクタマーク検出回路24からのゾーン情報あるいはアドレス検出回路30からのアドレス情報に基づいて、PLL回路25が容易にディスクの再生周波数にロックされるよう、PLL回路25内の分周器の分周比を決定する。結果としての分周比信号は、分周比データ作成回路28からPLL回路25への接続線を介して送られる。

【0020】光ディスク22の再生周波数に適したループフィルタと分周比とを用いて、PLL回路25は再生信号にロックされ、データ信号及びそのデータ信号用の同期クロックを送出する。次に、アドレス検出回路30は、PLL回路25からのデータ信号及び同期クロックを用いて、現在読み込まれているセクタのアドレス部のID領域に書かれたアドレスを特定する。

【0021】PLL回路25のブロック構成図が図2に示される。PLL回路25は、切替部31、OR回路32、位相比較器33、チャージポンプ34、ループフィルタ35及び36、VCO(Voltage Controlled Oscillator)37、分周器38、及び積分器39よりなる。図2において、OR回路32が切替部31を切替る。OR回路32には、リードゲート作成回路26からのリードゲート信号、及びここには示されていないCPU(Central Processing Unit)からのシンクロゲート信号が供給される。これらの信号のうちのいずれか1つがイネーブルのとき、切替部31はa端子に接続され、PLL回路25の位相比較器33は、再生信号を2入力のうちの1つとして受け取る。これらの信号が両方ともディスエーブルのとき、切替部31はb端子に接続され、位相比較器33は、PLL回路25の内部ループ信号である同一の信号を2つの入力として受け取る。再生信号がセクタアドレス検出のために用いられるときリードゲート信号はイネーブルであるべきであり、再生信号がセクタのデータ部分から読み取られるときはシンクロゲート信号がイネーブルであるべきである。

【0022】図2に示されたPLL回路25の動作について簡単に述べると、まずVCO37が入力電圧に応じた周波数で発振し、その周波数が分周器38で分周される。次に、この分周された信号を積分した信号と外部からの再生信号とが、位相比較器33に入力される。位相比較器33は、両信号の位相差に比例した電圧信号を出力し、この電圧信号はチャージポンプ34で電圧増幅される。この増幅された電圧信号が、2つのループフィルタ35と36のうちの1つを介してVCO37に供給され、閉ループを構成する。この閉ループの定常状態においては、基本的には、位相比較器33で比較される2つの信号が同一の周波数と一定の位相差を有するように、VCO37が一定の周波数で発振する。この状態で、PLL回路25は、入力再生信号にロックされたことになり、この入力再生信号をデータ信号として出力し、また

10

20

30

40

50

そのデータ信号読み取り用の同期クロックを供給する。

【0023】図2において、低周波用ループフィルタ35と高周波用ループフィルタ36がPLL回路25の閉ループ内に設けられている。これらのループフィルタ35と36は、PLL回路25が、入力として受け取られた再生信号に生成クロック周波数をロックすること可能にする。一般に、PLL回路は、あらゆる入力信号周波数にロック可能なわけではなく、ある一定の範囲の入力信号周波数に適応できるだけである。しかし、MCAV方式の光ディスクからの再生信号は、比較的広い周波数範囲を有しており、1つのPLL回路では対応できにくい。無理にPLL回路をこの広い周波数領域に対応できるようにすると、安定性やノイズ応答の面で問題が生じる。従って、本発明では、PLL回路内に高周波用と低周波用との2つのループフィルタを設け、これをゾーン情報に基づいて切替ることによって、幅広い周波数範囲の再生信号にPLL回路がロックされるようにした。

【0024】この2つのループフィルタを導入することの効果が、図3に示される。図3は、PLL回路25によってロックされることのできる2つの周波数範囲を示す。図3の左に示される第1の周波数範囲は、PLL回路25が、低周波用ループフィルタ35を用いながら、この第1の周波数範囲内の信号が位相比較器33の内部入力端に供給されて開始するとき、PLL回路25は、ディスクの最内周の周波数に対応する17.4MHzの再生信号周波数にロック可能であることを示す。図3の右に示される第2の周波数範囲は、PLL回路25が、高周波用ループフィルタ36を用いながら、この第2の周波数範囲内の信号が位相比較器33の内部入力端に供給されて開始するとき、PLL回路25は、ディスクの最外周の周波数に対応する27.84MHzの再生信号周波数にロック可能であることを示す。図3に見られるように、第1と第2の周波数範囲は、21.5MHzから2.4MHzまで重複を有する。従って、PLL回路25がこの重複領域内の初期周波数で開始した場合、2つのループフィルタの切替のあるPLL回路25は、ディスクの最外周の最も高い周波数と最内周の最も低い周波数にロックされることができ、即ちディスク全域であらゆる再生信号周波数にロックができる。

【0025】図2に示された分周器38の分周比は、図1の分周比データ作成回路28によってゾーン情報あるいはアドレス情報をもとに決定される。図2において、分周器38から位相比較器33へ送られる信号の周波数が、再生信号周波数から大きく異なると、PLL回路25は再生信号周波数にロックされないことがあり得る。この分周器38は、再生信号周波数になるべく近い周波数を出力することによって、PLL回路25が再生信号周波数に容易に対応できるようにする。分周比はそれほど厳密性を必要とするものではなく、分周比データ作成回路28に供給されたゾーン情報が正確なものでなく従

って設定された分周比に多少誤りがあっても、VCO 37はその発振周波数範囲内で発振することで入力再生信号に追従可能である。しかし、VCO 37がその限界に近いところで入力再生信号に追随している場合があるので、図1のアドレス検出回路30でアドレスが検出されたなら、そのアドレス情報が分周比決定に用いられる。

【0026】図4には、セクタマーク検出回路24のブロック構成図が示されている。この回路の詳細な説明は平成4年特許第302598号及び第302599号に提供されており、ここに与えられる説明とブロック構成図は概念的なものである。図4において、セクタマーク検出回路24は、クロック生成回路41、マッチングデータ保持ユニット42、ゲート作成回路43、カウンタ回路44、マッチング値比較回路45、及びゾーン判定回路46となる。

【0027】図4において、再生信号の異なったバルスペアの間をマークする複数のゲート信号を生成するゲート作成回路43に再生信号が供給される。各ゲート信号に対して、カウンタ回路44はゲート信号の間セクタマークサンプルクロックのバルス数を数える。各カウント値は再生信号の2つのバルス間の時間長さを示し、全てのカウント値の集合は再生信号を特徴付けることができる。マッチング値比較回路45は、マッチングデータ保持ユニット42から提供されたマッチングデータと、このカウント値の集合とを比較し、それらの合致即ちセクタマークの存在を示すセクタマーク検出バルスを提供する。最後に、ゾーン判定回路46が、マッチングデータに基づいて現在のゾーン位置を特定する。

【0028】図5にはリードゲート回路26のブロック構成図が示される。リードゲート作成回路26は、分周器51、カウンタ52、演算器53、コンバレータ54、OR回路55、及びラッチ56となる。またリードゲート作成回路26は、セクタマーク検出バルス、セクタマークサンプルクロック、及び検出されたセクタマークマッチング値をセクタマーク検出回路24から受け取り、またアドレス検出バルスをアドレス検出回路30から受け取る。セクタマーク検出バルスがラッチ56に入力されたとき、リードゲート信号出力がインエーブルにされる。次に、アドレス検出バルスが入力されるか、セクタマーク検出バルス入力から所定時間経過すると、ラッチ56がリセットされリードゲート出力はディスエーブルにされる。この所定時間の長さは、セクタマーク時間長の所定倍（本実施例においては10倍）にされれば良い。このセクタマーク時間長は、セクタマークサンプルクロックでセクタマークを計数した値と一致するセクタマークマッチング値によって与えられる。

【0029】図5において、カウンタ52はセクタマーク検出バルスによって計数開始され、計数は10分周されたセクタマークサンプルクロックによって行われる。この場合、演算器53の乗数は1であり、カウンタ52

の計数出力と演算器53の出力がコンバレータ54によって比較される。コンバレータ54へのこの2つの入力が等しくなるのは、カウンタ52の計数開始からセクタマーク時間長の10倍の時間が経過したときである。このとき、コンバレータ54はOR回路55を介してラッチ56をリセットし、アドレスが検出されなくともリードゲート出力を閉じる。従って、リードゲート生成回路はセクタバルスを受け取る用意ができ、次のセクタに準備できる。ここで用いられた時間長は、演算器53の乗数または分周器51の分周比を変化させることで変更させることができる。

【0030】各セクタからの信号再生とアドレス検出までの流れを図1を参照して順に説明する。まず第1番目のセクタで、セクタマーク検出回路24が、セクタマークを検出し、ゾーン情報を生成する。このゾーン情報をもとに、ループフィルタフィルタ切替回路27はPLL回路25内部の適切なループフィルタを選択する。分周比データ作成回路28は分周比データ作成に時間を要し、第1番目のセクタに対してPLL回路が使用できる分周比データを作成できない。従って、第1番目のセクタに対して、分周比データ作成回路28は、ディスク最内周と最外周の中間点の信号周波数に対応する分周比データを提供する。

【0031】PLL回路25は、適切なフィルタ及び中間点に対する分周比を用いて、再生信号にロックしようとする。PLL回路25は、あらゆる光ヘッド位置に対して中間点に対応した周波数で開始するので、再生信号へのロックが成功する場合と失敗する場合がある。ロックが成功した場合、PLL回路25は同期クロックとデータ信号をアドレス検出回路30に供給し、アドレス検出回路30は第1番目のセクタのアドレスを検出する。次に、アドレス検出回路30はアドレス検出バルスを出力し、このアドレス検出バルスは切替部29を操作する。また分周比データ作成回路28はアドレス検出回路30からのアドレス情報を基にして分周比データを作成する。この分周比データは、この時点までにすでに生成されているゾーン情報に基づいた分周比データより正確である。従って、このより正確な分周比データが、切替部29を介してPLL回路25に供給され、第2番目のセクタ以降に対して用いられる。

【0032】ロックが失敗した場合、アドレス検出回路30はアドレス検出に失敗する。切替部29は、分周比データ作成回路28がゾーン情報に基づいて作成した分周比データを選択しPLL回路25に供給する。第2番目のセクタに対してこの分周比データが用いられ、アドレスが検出される。

【0033】上述のように、本発明によるディスク装置は、ループフィルタ35及び36の切替によって、光ディスク全面において最初のセクタからアドレスを決定することを可能にした。また最初のセクタでアドレスが決

定されない場合であっても、次ぎのセクタでアドレスが決定される。PLL回路25が再生信号周波数にロックされるのに必要な時間が短いことは、ディスクの回転数や1トラック内のセクタ数の増加のためのVFOの短縮化を可能にする。

【0034】本発明による代替的な実施例においては、セクタマーク検出の誤りを削減するために、マスキング回路が、セクタマーク検出後の所定時間の間、偽のセクタマーク検出パルスを押えるために、セクタマーク検出回路24に導入される。これは一つのセクタにはただ一つのセクタマークが存在し、セクタマーク検出に続くある期間は検出パルスを含まない筈だからである。

【0035】代替的セクタマーク検出回路24Aが図6に示され、マスキング回路60のブロック構成図が図7に示される。図6の代替的セクタマーク検出回路24Aは、マッチング値比較回路45とゾーン判定回路46との間にマスキング回路60が挿入されたことを除いて、図4のセクタマーク検出回路24と同一である。マスキング回路60はマッチング値比較回路45から前段階セクタマーク検出パルスを、クロック生成回路41からセクタマークサンプルクロックを、マッチングデータ保持ユニット42からはマッチングデータを受け取る。

【0036】図7において、マスキング回路60は、分周器61、カウンタ62、演算器63、コンバレータ64、ラッチ65、及びANDゲート66よりなる。前段階セクタマーク検出パルスが、ラッチ65によってそのクロック入力で受け取られると、前段階セクタマーク検出パルスの後ろエッジでラッチ65の出力はゼロになる。従って、前段階セクタマーク検出パルスは、マスキング回路60の出力端にANDゲート66を通って到達する。しかしながら、最初の前段階セクタマーク検出パルスに続く所定の期間は、ラッチ65の出力はゼロに留まり、従って、ANDゲート66は他の前段階セクタマーク検出パルスを通過させない。セクタマーク検出パルス入力から所定時間経過すると、ラッチ65がリセットされANDゲート66が開かれる。この所定時間の長さは、セクタマーク時間長の所定倍にされれば良い。このセクタマーク時間長は、セクタマークサンプルクロックでセクタマークを計数した値と一致するセクタマークマッチング値によって与えられる。

【0037】図7において、カウンタ62はセクタマーク検出パルスによって計数開始され、計数はセクタマークサンプルクロックを所定数で分周して分周器61により生成される基準クロックによって行われる。この場合、演算器63の乗数は1であり、カウンタ62の計数出力と演算器63の出力がコンバレータ64によって比較される。コンバレータ64へのこの2つの入力が等しくなるのは、カウンタ62の計数開始からセクタマーク時間長の所定倍の時間が経過したときである。このとき、コンバレータ64はラッチ65をリセットし、AN

Dゲート66が開かれる。

【0038】

【発明の効果】請求項1記載の発明では、同期信号生成手段がヘッドの現在のゾーン位置に対応する周波数の同期信号を生成するので、これを用いて光ディスク装置はディスクからの再生信号を読み取ることができる。

【0039】請求項2記載の発明では、セクタマーク検出手段がセクタマークを高速に検出することにより、現在のゾーン位置が高速に検出され、再生信号の読み取りが最初のセクタから可能になる。

【0040】請求項3記載の発明では、同期信号生成手段であるPLL回路が複数のループフィルタの内の一つを選択使用できるので、広い周波数範囲の再生信号に対して同期信号を生成可能であり、ディスク上のあらゆるセクタからの再生信号を読み取ることが可能となる。

【0041】請求項4記載の発明では、PLL回路が生成する同期信号周波数を可変とし、現在のゾーン位置に応じて同期信号周波数を変えるので、PLL回路は容易に再生信号に追従することができる。

【0042】請求項5記載の発明では、アドレス検出手段を有するので、セクタのアドレスを最初のセクタから検出することができる。

【0043】請求項6記載の発明では、ゲート手段が、同期信号生成手段の再生信号読み取り期間を制限するので、同期信号生成手段は次のセクタに準備できる。

【0044】請求項7記載の発明では、同期信号生成手段の再生信号読み取り期間がセクタマーク長に比例するので、セクタのディスク上の位置の違いによるセクタ長の違いに関わらず、同期信号生成手段は次のセクタに準備できる。

【0045】請求項8記載の発明では、セクタマークの検出からセクタマーク長に比例する期間はセクタマーク検出を押えるので、セクタマークの誤検出が削減される。

【図面の簡単な説明】

【図1】本発明の一実施例の構成図である。

【図2】図1のPLL回路のブロック構成図である。

【図3】本発明によるPLL回路の2つのループフィルタの効果を示す図である。

【図4】図1のセクタマーク検出回路のブロック構成図である。

【図5】図1のリードゲート検出回路の構成図である。

【図6】本発明による代替的なセクタマーク検出回路の構成図である。

【図7】本発明による代替的なセクタマーク検出回路のマスキング回路の構成図である。

【図8】MCAV方式の光ディスクのセクタ配置を説明するための図である。

【符号の説明】

21 光ディスク装置

11

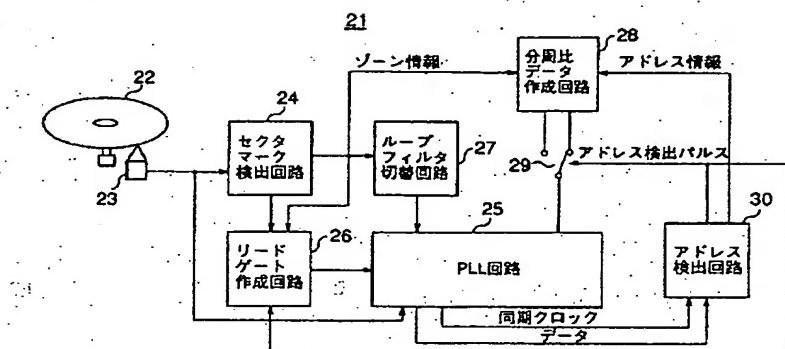
- 22 光ディスク
 23 光ヘッド
 24 24A セクタマーク検出回路
 25 PLL回路
 26 リードゲート作成回路
 27 ループフィルタ切替回路
 28 分周比データ作成回路
 29 切替部
 30 アドレス検出回路
 31 切替部
 32 55 OR回路
 33 位比較器
 34 チャージポンプ
 35 36 ループフィルタ
 37 VCO

12

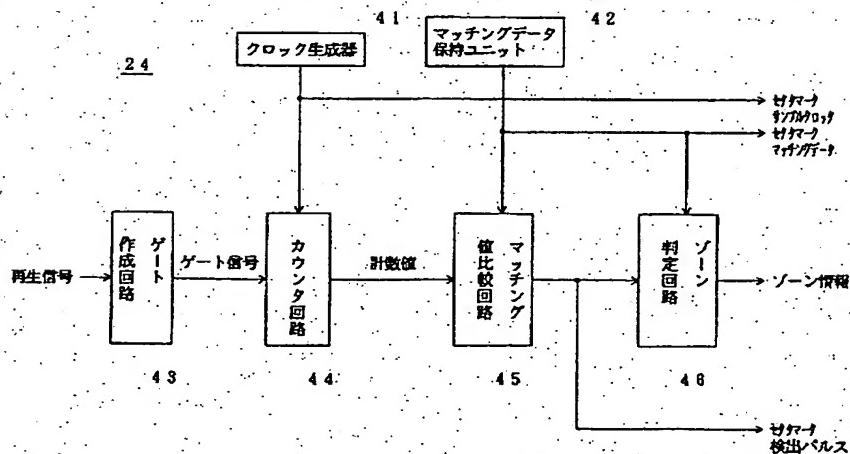
- * 38 51 61 分周器
 39 積分器
 41 クロック生成回路
 42 マッチングデータ保持ユニット
 43 ゲート作成回路
 44 カウンタ回路
 45 マッチング値比較回路
 46 ゾーン判定回路
 52 62 カウンタ
 10 53 63 演算器
 54 64 コンバレータ
 56 65 ラッチ
 60 マスキング回路
 66 ANDゲート

*

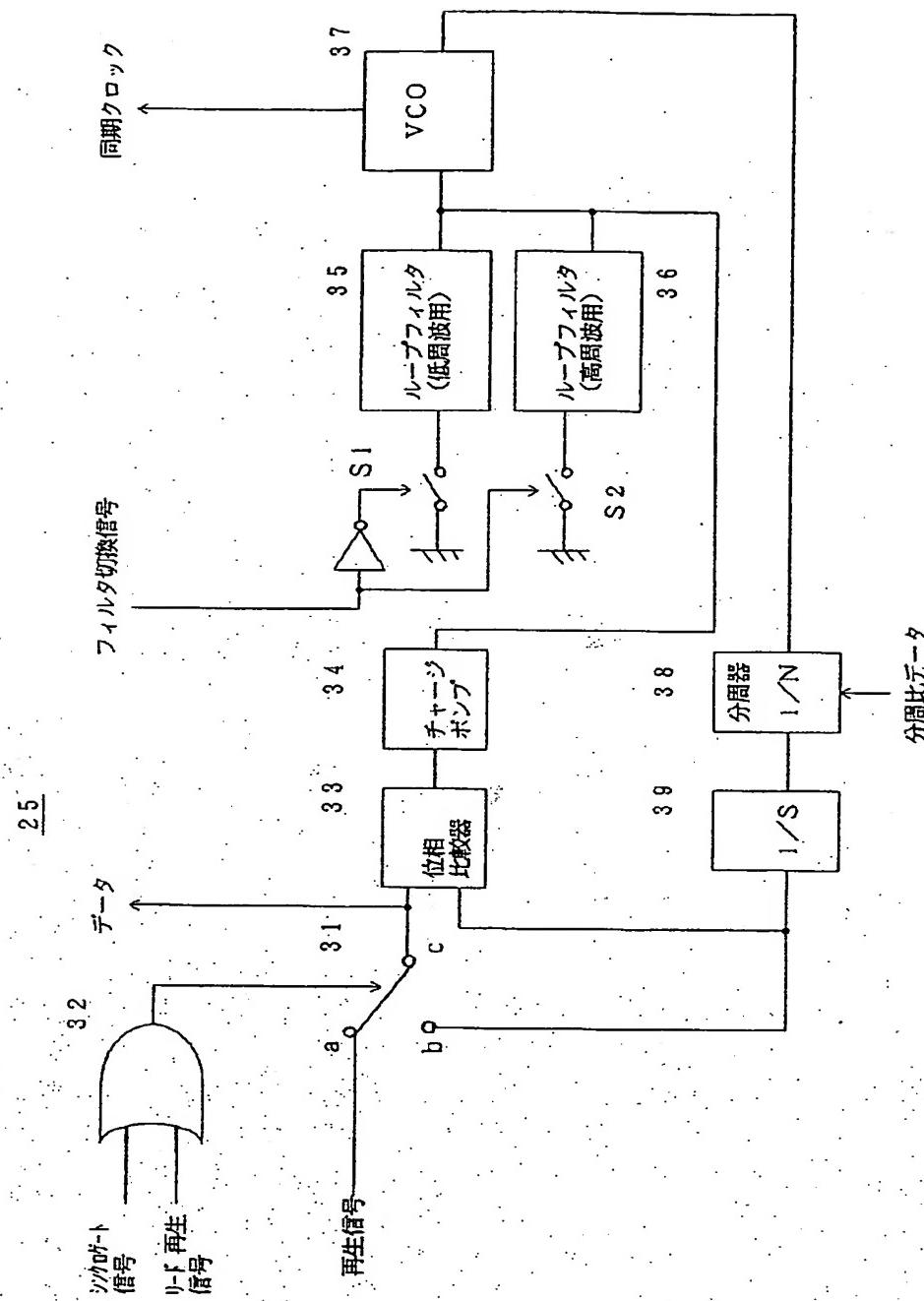
【図1】



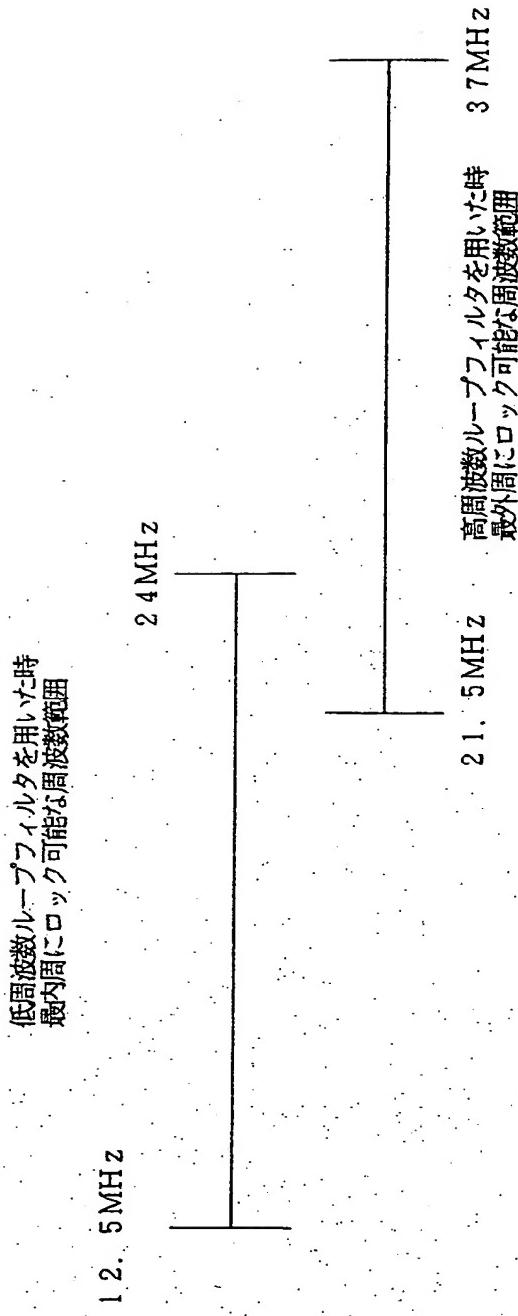
【図4】



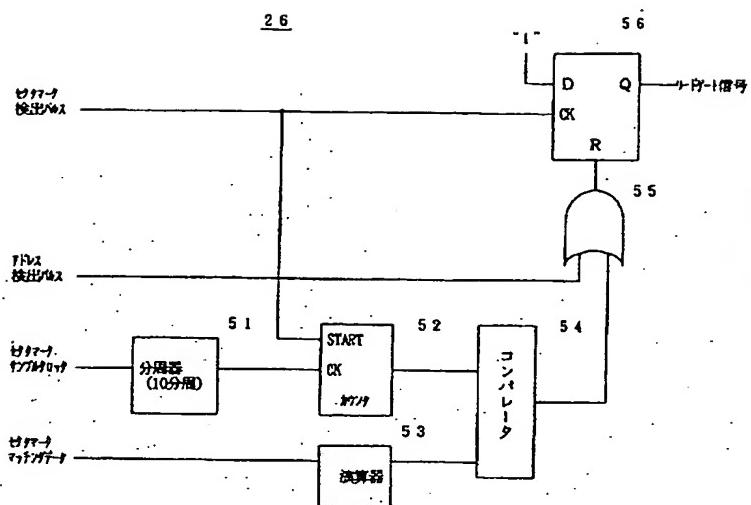
〔図2〕



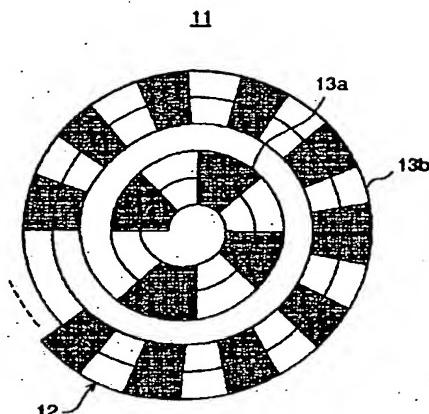
【図3】



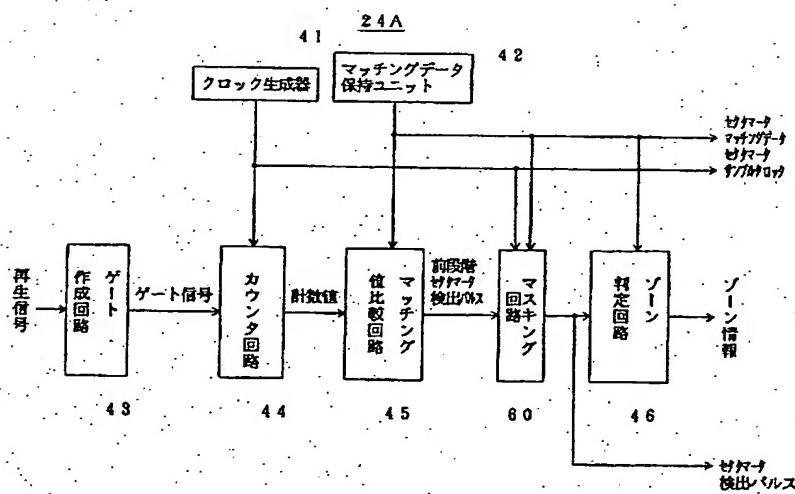
【図5】



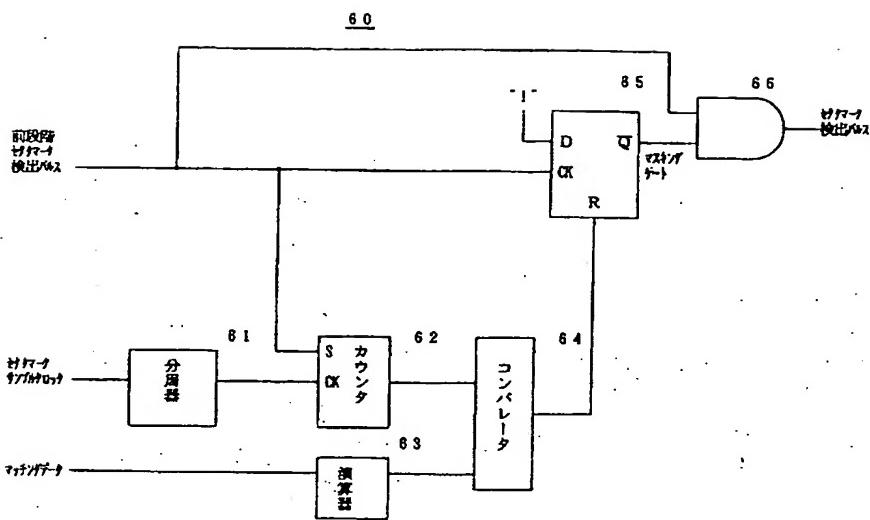
【図8】



【図6】



【図7】



フロントページの続き

(51) Int.CI.*

G 11 B 20/12
27/10

識別記号 庁内整理番号

9295-5D
A. 8224-5D

F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURRED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLOR OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.